

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-244368

(43)Date of publication of application : 07.09.2001

(51)Int.Cl.

H01L 23/12

H01L 25/00

H05K 3/46

(21)Application number : 2000-054000

(71)Applicant : KYOCERA CORP

(22)Date of filing : 29.02.2000

(72)Inventor : IINO YUJI

IWACHI HIROMI

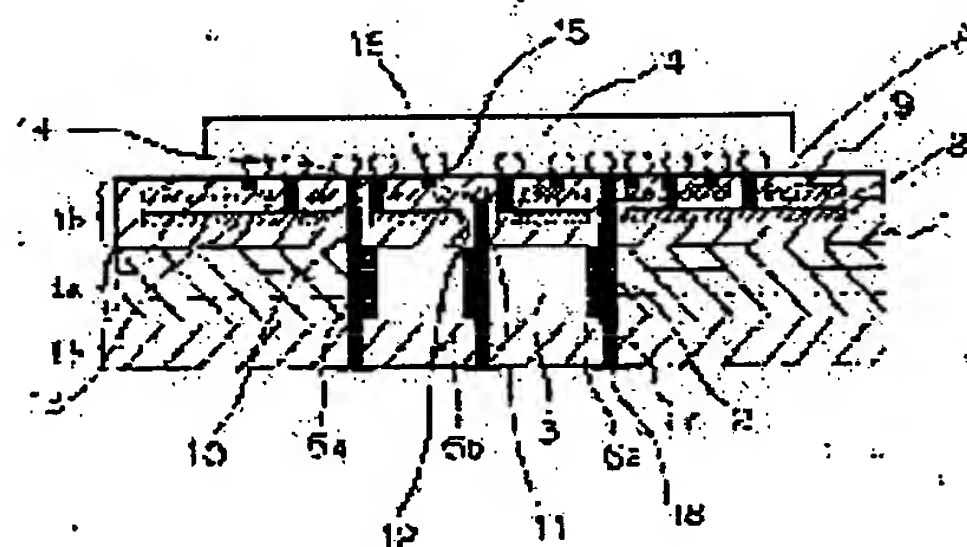
HAYASHI KATSURA

(54) WIRING BOARD WITH BUILT-IN ELECTRIC ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a wiring board with a built-in electric element in an insulating substrate, wherein a semiconductor element or the like can be flip-chip mounted on the surface of the substrate, connection reliability of the built-in electric element and a wiring circuit layer provided in a wiring substrate is excellent, and a function of the electric element is not damaged.

SOLUTION: In a wiring substrate A wherein a wiring circuit layer 8 is formed on and/or in the insulating substrate 1 and the electric element 3 is built in the insulating substrate 1, the insulating substrate 1 is constituted of a multiplayer structure comprising a first insulating layer 1a composed of a mixture of a thermosetting resin and an inorganic filler and a second insulating layer 1b containing the thermosetting resin in a fiber member, the electric element 3 of a capacitor or the like is built in the first insulating layer 1a, and the second insulating layer 1b is disposed on the top surface of the insulating substrate 1.



LEGAL STATUS

[Date of request for examination]

23.01.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3540976

[Date of registration]

02.04.2004

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号
特開2001-244368
(P2001-244368A)

(43) 公開日 平成13年9月7日 (2001.9.7)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
H 0 1 L 23/12		H 0 1 L 25/00	B 5 E 3 4 6
25/00		H 0 5 K 3/46	N
H 0 5 K 3/46			Q
			T
		H 0 1 L 23/12	B
		審査請求 未請求 請求項の数6	O L (全 8 頁)

(21) 出願番号 特願2000-54000(P2000-54000)

(22) 出願日 平成12年2月29日 (2000.2.29)

(71) 出願人 000006633

京セラ株式会社

京都府京都市伏見区竹田島羽殿町6番地

(72) 発明者 飯野 祐二

鹿児島県国分市山下町1番4号 京セラ株式会社総合研究所内

(72) 発明者 岩地 裕美

鹿児島県国分市山下町1番4号 京セラ株式会社総合研究所内

(72) 発明者 林 桂

鹿児島県国分市山下町1番4号 京セラ株式会社総合研究所内

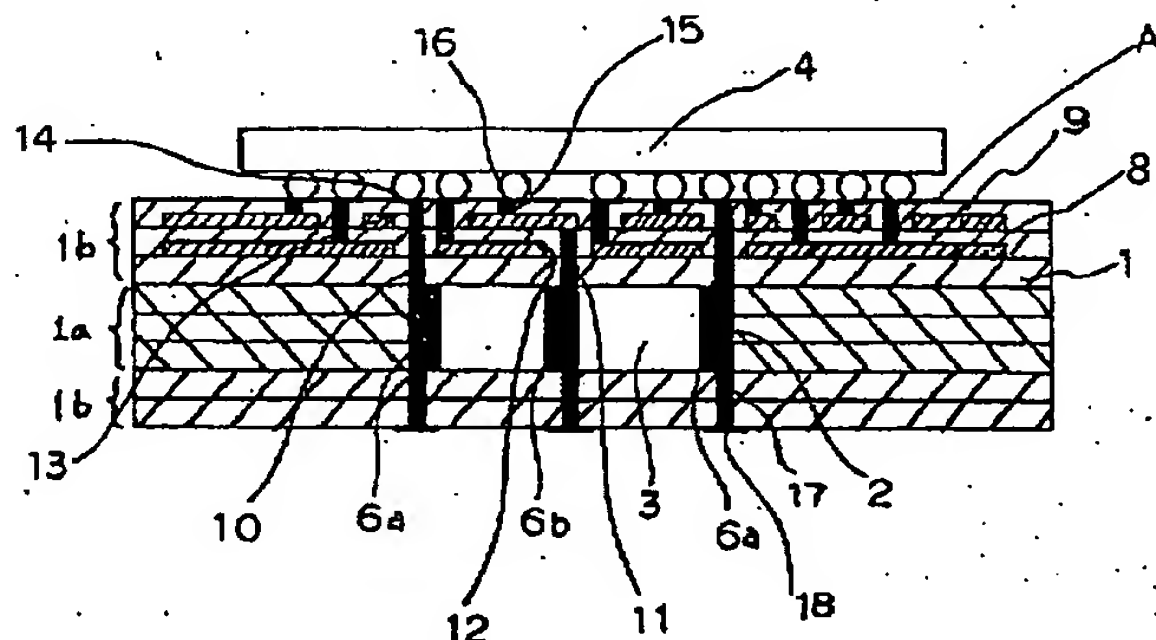
最終頁に続く

(54) 【発明の名称】 電気素子内蔵配線基板

(57) 【要約】

【課題】 絶縁基板内部に電気素子を内蔵してなる配線基板において、基板表面に半導体素子などをフリップチップ実装可能であって、内蔵された電気素子と配線基板に設けられた配線回路層との接続信頼性に優れ、電気素子による機能を損なわない電気素子内蔵配線基板を得る。

【解決手段】 絶縁基板1の表面および/または内部に配線回路層8を形成してなり、絶縁基板1内に電気素子3を内蔵してなる配線基板Aであって、絶縁基板1が、熱硬化性樹脂と無機フィラーとの混合物からなる第1の絶縁層1aと、繊維体中に熱硬化性樹脂を含浸してなる第2の絶縁層1bとの積層構造体からなり、コンデンサ素子などの電気素子3を第1の絶縁層1a内に内蔵してなるとともに、第2の絶縁層1bを絶縁基板1の最表面に配置する。



【特許請求の範囲】

【請求項1】絶縁基板の表面および／または内部に配線回路層を形成してなり、前記絶縁基板内に電気素子を内蔵してなる配線基板であって、前記絶縁基板が、熱硬化性樹脂と無機フィラーとの混合物からなる第1の絶縁層と、繊維体中に熱硬化性樹脂を含浸してなる第2の絶縁層との積層構造体からなり、前記第1の絶縁層中に電気素子を内蔵してなるとともに、前記第2の絶縁層を前記絶縁基板の最表面に配置し、且つ前記電気素子と前記第1の絶縁層との熱膨張差が $7 \times 10^{-6}/^{\circ}\text{C}$ 以下であることを特徴とする電気素子内蔵配線基板。

【請求項2】前記第1の絶縁層が、熱硬化性樹脂を30～65体積%と、無機フィラーを35～70体積%の割合で含有することを特徴とする請求項1記載の電気素子内蔵配線基板。

【請求項3】前記無機フィラーが、 SiO_2 、 Al_2O_3 、 AlN および Si_3N_4 から選ばれる少なくとも1種であることを特徴とする請求項1または請求項2記載の電気素子内蔵配線基板。

【請求項4】前記第1の絶縁層および第2の絶縁層中の熱硬化性樹脂が、ポリフェニレンエーテル系樹脂、エポキシ系樹脂、シアネート系樹脂から選ばれる少なくとも1種を含む請求項1または請求項3のいずれか電気素子内蔵配線基板。

【請求項5】前記電気素子が、積層セラミックコンデンサからなることを特徴とする請求項1乃至請求項4のいずれか記載の電気素子内蔵配線基板。

【請求項6】前記第1の絶縁層および／または前記第2の絶縁層に、金属粉末を充填したビアホール導体が形成されてなることを特徴とする請求項1乃至請求項6のいずれか記載の電気素子内蔵配線基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、LSIチップなどの電子部品を表面に実装可能であり、絶縁基板の内部にコンデンサなどの電気素子を内蔵した電気素子内蔵配線基板に関するものである。

【0002】

【従来技術】近年、通信機器の普及に伴い、高速動作が求められる電子機器が広く使用されるようになり、さらにこれに伴って高速動作が可能なパッケージが求められている。このような高速動作を行うために、コンデンサ等の受動性の電気素子を絶縁基板内部に内蔵させて、受動性電気素子および配線部のインダクタンスを低減することが必要とされている。

【0003】このような問題に対処する方法として、例えば、特開平11-220262号には、回路部品内蔵モジュールおよびその製造方法において、絶縁基板を構成する絶縁層をすべて無機フィラーと熱硬化性樹脂とを含む混合物によって形成した配線基板が提案されてい

る。

【0004】

【発明が解決しようとする課題】しかしながら、この特開平11-220262号の回路基板では、基板の絶対強度が弱く、また、剛性が低いために、例えば、配線基板表面に半導体素子をフリップチップ工法により実装する場合、配線基板が変形し、フリップチップ部が反ってしまう問題があった。

【0005】また、強度を高める方法として、絶縁基板をガラスクロスに樹脂を含浸させたいわゆるプリプレグによって絶縁基板を構成することも提案されている。しかしながら、繊維体としてはガラスなど非常に限られた物質からなり、そのためにこのプリプレグ内に内蔵させたコンデンサ素子などの電気素子との熱膨張差が大きくなる場合があり、その結果、電気素子と配線基板内の配線回路層との接続性が変化したり、両者の熱膨張差によって発生する応力によって配線基板が変形し、そのために、配線基板表面の平坦性が失われ、半導体素子をフリップチップ実装することができないという問題があった。

【0006】従って、本発明は、絶縁基板の内部にコンデンサなどの電気素子を内蔵してなる配線基板において、基板表面に半導体素子などをフリップチップ実装する場合においても優れた実装性と実装信頼性を具備するとともに、内蔵された電気素子と配線基板に設けられた配線回路層との接続信頼性に優れた電気素子内蔵配線基板を得ることを目的とするものである。

【0007】

【課題を解決するための手段】本発明者らは、絶縁基板の内部に、コンデンサ素子などの電気素子を内蔵するとともに、前記絶縁基板の表面に電子部品を搭載する搭載面を具備してなる電気素子内蔵配線基板における上記の課題に対して検討を重ねた結果、絶縁基板を熱硬化性樹脂と無機フィラーとの混合物からなる第1の絶縁層と、繊維体中に熱硬化性樹脂を含浸してなる第2の絶縁層との積層構造体によって構成し、前記第1の絶縁層中に空隙部を形成し、該空隙部内に電気素子を内蔵するとともに、前記第2の絶縁層を前記絶縁基板の最表面に配置し、電気素子と前記第1の絶縁層との熱膨張差を $7 \times 10^{-6}/^{\circ}\text{C}$ 以下とすることによって上記目的が達成される。

【0008】即ち、電気素子を熱硬化性樹脂と無機フィラーとの混合物からなる第1の絶縁層に内蔵させることによって、この絶縁体がフィラーの種類、量などによって絶縁層の熱膨張係数を容易に変えることができるために、内蔵する電気素子の熱膨張係数に容易に整合させることができる。そのために、熱膨張差に起因する応力の発生を抑制し、配線基板の変形や配線基板の配線回路層と電気素子との接続信頼性を高めることができる。

【0009】しかし、熱硬化性樹脂と無機フィラーとの

混合物からなる第1の絶縁層のみによって絶縁基板を構成すると、基板全体の強度が低く、特に表面の平坦性も損なわれやすい。そこで、本発明によれば、この熱硬化性樹脂と無機フィラーとの混合物からなる絶縁層の上面あるいは下面に、繊維体中に熱硬化性樹脂を含浸してなる第2の絶縁層を積層することによって、第1の絶縁層による強度の低下を抑制するとともに、配線基板の表面の平坦性をも向上し、半導体素子などのフリップチップ実装する場合においても十分に適用できる配線基板を得ることができる。

【0010】特に、上記の構成において、前記第1の絶縁層が、熱硬化性樹脂を30～65体積%と、無機フィラーを35～70体積%の割合で含有することが望ましく、前記無機フィラーが、 SiO_2 、 Al_2O_3 、 AlN および Si_3N_4 から選ばれる少なくとも1種であることが望ましい。

【0011】また、前記第1の絶縁層および第2の絶縁層中の熱硬化性樹脂としては、ポリフェニレンエーテル系樹脂、エポキシ系樹脂、シアネート系樹脂から選ばれる少なくとも1種が好適に用いられる。

【0012】さらに、前記電気素子としては、積層セラミックコンデンサを内蔵させることによって信号のノイズ除去を行なうことができる。

【0013】また、前記第1の絶縁層および/または前記第2の絶縁層に、金属粉末を充填したビアホール導体が形成されてなることによって配線基板の小型化を図ることができる。

【0014】

【発明の実施の形態】本発明の電気素子内蔵配線基板の一実施例における概略断面図を示す図1をもとに詳細に説明する。本発明における配線基板Aは、絶縁基板1の内部にキャビティ2が形成されており、そのキャビティ2内にコンデンサ素子3が内蔵されている。また、配線基板Aのコンデンサ素子3が内蔵される直上には、電子部品として半導体素子4が実装されている。

【0015】本発明において、配線基板Aにおける絶縁基板1は、コンデンサ素子3を内蔵する部分が熱硬化性樹脂と無機フィラーとの混合物からなる第1の絶縁層

(以下、単にCPC層という。)1aによって構成されており、絶縁基板1の半導体素子4が実装される表面側、および/またはハンダボールパッドや接続ピンなどの接続端子が配設される裏面側に、少なくとも1層以上の繊維体中に熱硬化性樹脂を含浸してなる第2の絶縁層(以下、単にプリプレグ層という。)1bが積層形成されている。

(CPC層)コンデンサ素子3を内蔵するCPC層1aは、熱硬化性樹脂と無機質フィラーとの複合体からなるものであるが、無機フィラーには、例えば、 SiO_2 、 Al_2O_3 、 AlN および Si_3N_4 の群から選ばれる少なくとも1種を好適に用いることができる。無機フィラー

は熱硬化性樹脂に対して、35～70体積%の割合で含有させることが望ましく、用いる無機フィラーの平均粒径は1.0～20 μm の範囲が最適である。このCPC層は、1層当たりの厚みが50～150 μm 程度であって、内蔵するコンデンサ素子などの電気素子の大きさに応じて適宜積層されて所定の厚みに形成されている。

【0016】また、このCPC層は、熱膨張係数を任意に制御できる利点を生かし、内蔵する電気素子との-65～250℃の熱膨張差を $7 \times 10^{-6}/^\circ\text{C}$ 以下、特に5.5以下とすることが必要である。これは、CPC層に電気素子を内蔵してもこの熱膨張差が大きいとこの熱膨張差によって発生する応力が大きくなり、これによって配線基板の変形などによってフリップチップ実装が難しく、また電気素子と配線基板内の配線回路層との接続性が損なわれてしまい、電気素子による特性が得られないためである。

(プリプレグ層)一方、プリプレグ層1bは、繊維体とこの繊維体に熱硬化性樹脂が含浸されたものであり、1層あたりの厚さは約150 μm 以下であり、繊維体が40～60体積%、熱硬化性樹脂が60～40体積%の割合からなる。

【0017】繊維体としては、ガラス、アラミド樹脂の群から選ばれる少なくとも1種が用いられる。なお繊維体の線径は10 μm 以下であることが強度を高める上で望ましい。

【0018】また、この繊維体は均一に分散してなるものでもよいが、基板の剛性を高める上では、織布または不織布からなることが望ましい。

【0019】上記のCPC層およびプリプレグ層に含まれる熱硬化性樹脂としては、APPE(アリル化ポリフェニレンエーテル)樹脂、エポキシ系樹脂およびシアネート系樹脂の群から選ばれる少なくとも1種が好ましい。APPE樹脂は比誘電率が低く、誘電損失が低く、吸水率が低く、さらに、ガラス転移点が高いために、特に高耐熱性であることから、特に好ましい。さらに、混合物はフィラーとのぬれ性を改善するために分散剤やカップリング剤を含んでもよい。

【0020】CPC層中に内蔵されるコンデンサ素子3は、2つ以上の正電極と2つ以上の負電極を具備するのが好適である。このようなコンデンサ素子3の一例を図2の概略斜視図に示した。

【0021】この図2のコンデンサ素子3は、 BaTiO_3 を主成分とするセラミック誘電体層5を積層して形成された直方状の積層体からなる積層型セラミックコンデンサからなるものであって、その積層体の外表面には、4つの正電極6aと4つの負電極6bとが独立して均等に配置形成されている。図2(a)のコンデンサ素子においては、負電極6bは各辺の中央部に、正電極6aは、各角部に形成されている。

【0022】また、積層体の各セラミック誘電体層5間

には、図2(b)に示されるようなパターンの正極用内部電極7aと図2(c)に示されるようなパターンの負極用内部電極7bとが交互に形成されており、正極用内部電極7aは、正電極6aと、負極用内部電極7bは負電極6bと積層体の端面でそれぞれ電氣的に接続されている。

【0023】一方、CPC層1a中に内蔵された上記の構造のコンデンサ素子3の電子部品搭載面表面との間のプリプレグ層1bには、第1の導体層8、および第2の導体層9が形成されている。そして、この第1の導体層8は、図3(a)のパターン図に示すように、コンデンサ素子3の4つの正電極6aと、この正電極6aから直上に絶縁層を垂直に貫通して形成されたビアホール導体10を介して電氣的に接続されている。

【0024】また、同様に、第2の導体層9は、図3(b)に示すパターン図に示すように、コンデンサ素子3の4つの負電極6bと、この負電極6bから直上に絶縁層を垂直に貫通して形成されたビアホール導体11を介して電氣的に接続されている。なお、第1の導体層8には、負電極6bと第2の導体層9とを接続するビアホール導体11と接触しないように導体が形成された開口12が形成されている。

【0025】そして、コンデンサ素子3の正電極6aと接続された第1の導体層8には、さらに、電子部品搭載面にかけてビアホール導体13が形成されており、基板表面に設けられた正電極用ランド14と接続されており、また同様に、コンデンサ素子3の負電極6bと接続された第2の導体層9には、さらに、電子部品搭載面にかけてビアホール導体15が形成されており、基板表面に設けられた負電極用ランド16と接続されている。

【0026】そして、絶縁基板1の表面に搭載された半導体素子4の bumps と、前記正電極用ランド14および負電極用ランド16と電氣的に接続されている。

(製造方法) 次に本発明の電気素子内蔵配線基板の製造方法について説明する。まず、CPC層形成用として、エポキシ系樹脂、ポリフェニレンエーテル樹脂などの熱硬化性樹脂とシリカ、アルミナなどの無機質フィラーとの混合材料からなる未硬化状態の絶縁シートを作製する。また、プリプレグ層用として、ガラス繊維やアラミド繊維などの繊維または不織布からなる繊維体にエポキシ樹脂などの熱硬化性樹脂を含浸した、未硬化状態の絶縁シートを作製する。

【0027】そして、まず図4の工程図に示すように、上記CPC層絶縁シート20に対して、コンデンサ素子を内蔵するキャビティ21をパンチングなどによって形成する(a)。一方、プリプレグ層絶縁シート22に対してレーザー加工法により、ビアホール23を形成し、そのビアホール23にCu粉末などの導電性粉末を含有する導電性ペーストを充填してビアホール導体24を形成する(b)。その後、このプリプレグ層絶縁シート2

2の表面に、導体層25を形成する(c)。この導体層25は例えば、Cu箔、Al箔などの金属箔を絶縁シートの表面に貼着した後、レジスト塗布、露光、現像、エッチング、レジスト除去の工程によって所定のパターンの導体層を形成する方法、またはあらかじめ、樹脂フィルムに前記金属箔を貼着して上記と同様にして所定のパターンの導体層を形成したものを前記絶縁シートの表面に転写する方法がある。このうち、後者の方法は、絶縁シートがエッチング液などにさらされることがなく、絶縁シートが劣化することがない点で後者の方が好適である。

【0028】そして、CPC層用絶縁シート20のキャビティ21内にコンデンサ素子26を設置するとともに、この絶縁シート20の上下に、前記(b)(c)の製造方法を応用して前記ビアホール導体27や導体層28、半導体素子との接続用パッド29を形成したプリプレグ層用絶縁シート30a、30b、30c、30d、30eを積層し、この積層物を前記CPC用絶縁シートおよびプリプレグ層絶縁シート中の熱硬化性樹脂が硬化するに十分な温度で加熱することにより、図1に示したようなコンデンサ素子を内蔵した配線基板を作製することができる。

【0029】なお、CPC層用絶縁シート20内に配設されたコンデンサ素子26の正電極および負電極とプリプレグ層用絶縁シート30のビアホール導体27との電氣的な接続を行なうために、ビアホール導体27のコンデンサ素子26との接続部および/またはコンデンサ素子26の正電極および負電極表面に熱硬化温度で溶融可能な半田を塗布しておくことによって、コンデンサ素子とビアホール導体との接続を確実に行なうことができる。

【0030】

【実施例】実施例

(1) BaTiO₃系の複数のセラミック誘電体シートの表面に、Ag-Pdの金属ペーストを用いて図2に示したような正極用内部電極や負極用内部電極のパターンをスクリーン印刷した。その後、それらのシートを温度55℃、圧力150kg/cm²下で積層密着させ、グリーン状態でカッターを用いて切断した後、大気雰囲気1220℃の温度において焼成してコンデンサ素子を作製した。そして、このコンデンサ素子の外表面に、Ag-Pdのペーストを正電極形成部および負電極形成部に塗布して温度850℃で焼き付け、複数の正電極および負電極を具備する図2で示したような8端子の積層セラミックコンデンサを作製した。

【0031】なお、このコンデンサ素子は、-65～250℃における熱膨張係数が10、2×10⁻⁶/℃、寸法が1.6×1.6×0.59(mm³)、静電容量が0.22μF、自己インダクタンスが80(pH)であり、4箇所の正電極と4箇所の負電極とが形成されたも

のである。

(2) PPE (ポリフェニレンエーテル) 樹脂に対しシリカ粉末50体積%の割合となるように、ワニス状態の樹脂と粉末を混合しドクターブレード法により、厚さ150 μ mの複数の絶縁シートAを作製し、それらの絶縁シートAに、炭酸ガスレーザーによるトレパン加工により、収納するコンデンサの大きさよりもわずかに大きい縦1.6mm \times 横1.6mmのキャビティを形成した。

【0032】また、同じく、炭酸ガスレーザーにより、ビアホールを形成し、そのビアホールにCu粉末などの導電性粉末を含有する導電性ペーストを充填してビアホール導体を形成する。導体層と半導体素子のパンプと接続するためのビアホール導体、およびコンデンサ素子と導体層とを接続するためのビアホール導体として、表面に銀をメッキした平均粒径が5 μ mの銅粉末を含む導体ペーストを充填してビアホール導体を形成した。なお、ビアホール導体としては、半導体素子のパンプの数に適合して、252個のビアホール導体を形成した。

(3) A-PPE (熱硬化型ポリフェニレンエーテル) 樹脂 (硬化温度=220) 52~68体積%、ガラスクロス32~48体積%のプリプレグからなる絶縁シートBを準備した。また、同じくプリプレグの一部に炭酸ガスレーザーによるトレパン加工によりビアホール23を形成し、そのビアホール23にCu粉末などの導電性粉末を含有する導電性ペーストを充填してビアホール導体24を形成する。

(4) 一方、ポリエチレンテレフタレート (PET) 樹脂からなる転写シートの表面に接着剤を塗布し、厚さ12 μ m、表面粗さ0.8 μ mの銅箔を一面に接着した。そして、フォトリソ (ドライフィルム) を塗布し露光現像を行った後、これを塩化第二鉄溶液中に浸漬して非パターン部をエッチング除去して正極用導体層および負極用導体層を形成した。また、合わせて線幅が20 μ m、配線と配線との間隔が20 μ mの微細なパターンからなる配線回路層も形成した。

(5) そして、(3) で作製した絶縁シートBの表面に、転写シートの導体層側を絶縁シートBに30kg/cm²の圧力で圧着した後、転写シートを剥がして、導体層を絶縁シートBに転写させた。

(6) 次に、(2) で作製したキャビティが形成された絶縁シートAをコンデンサ素子の厚み分積層し、そのキャビティ内に(1) で作製した積層セラミックコンデンサチップを仮設置し、チップの周りの隙間にエポキシ樹脂40体積%、シリカ60体積%を充填して仮固定した。

(7) そして、このコンデンサ素子を収納した絶縁シートAの表面および裏面に、(3) (4) を経て作製された導体層およびビアホール導体を有する絶縁シートBを仮積層した。

(8) そして、この積層物を220℃で1時間加熱して完全硬化させて多層配線基板を作製した。なお、加熱による樹脂の流動で絶縁シートの空隙が収縮して絶縁層とコンデンサチップとが密着しチップと絶縁層との隙間はほとんどなくなっていた。こうして全体厚みが1.2mmのコンデンサ内蔵配線基板を作製した。

【0033】そして、作製したコンデンサ内蔵配線基板に対して以下の検討を行なった。

【0034】そして、作製した基板全体の-65~250℃の線熱膨張係数を測定した。また、Auスタッドパンプを形成したSiチップを約60℃の加熱した基板にフリップチップ実装し、基板のパッドとSiチップ側の回路との周回した導通抵抗を測定し、導通の有無を確認した。また、配線基板全体の機械的強度をインストロン評価装置を用いて測定した。

【0035】さらに、インピーダンスアナライザを用いて、周波数1.0MHz~1.8MHzにおいて、インピーダンスの周波数特性を測定し、同時に、1MHzでのコンデンサの容量値を測定し、そして、 $f_0 = 1 / (2\pi(L \cdot C)^{1/2})$ (式中、 f_0 : 共振周波数 (Hz)、C: 静電容量 (F)、L: インダクタンス (H)) に基づいて、共振周波数からインダクタンスを計算で求めた。

【0036】なお、この測定は、室温および熱衝撃試験300サイクル後におけるインピーダンスも測定した。また、コンデンサ素子の上面の絶縁層の厚みを表1のように変えて特性の変化を測定した。熱衝撃試験は、炭酸ガスを冷媒とし、電気ヒータを加熱源として圧力1atmのチャンバー内で-55~125℃の温度サイクルを5分毎のサイクルを100回付与した。

【0037】比較例1

実施例における(3)の熱硬化性樹脂と無機フィラーとの混合物からなる絶縁シートのみを用いて配線基板を作製し、上記と同様の評価を行った。

【0038】比較例2

実施例において、絶縁シートA、と絶縁シートBとの配置を全く逆にし、絶縁シートBにコンデンサ素子を内蔵させる以外は、全く同様にして配線基板を作製し、上記と同様の評価を行った。

【0039】

【表1】

試料 No.	第1絶縁体層(CPC)				第2絶縁体層(7/7)				コンデンサ内蔵層				基板強度		基板全体の 熱膨張係数		α/α/α/α	インダクタンス		備考
	無機フィラー		厚み mm	熱膨張係数 ×10 ⁻⁴ /°C	ガラス転 移温度 °C	厚み mm	熱膨張係数 ×10 ⁻⁴ /°C	種類	熱膨張係 ×10 ⁻⁴ /°C	種類	熱膨張係 ×10 ⁻⁴ /°C	MPa	×10 ⁻⁴ /°C	実装後の 導通有無	室温	試験後 pH				
	種類	体積%															種類	種類	種類	
*1	SiO ₂	30	0.1	27.6	32	0.1	20.8	第1絶縁体層	17.4	第1絶縁体層	17.4	320	23.2	なし	121	488				
*2	SiO ₂	35	0.1	22.8	48	0.1	17.8	第1絶縁体層	12.6	第1絶縁体層	12.6	337	19.3	あり	118	123				
3	SiO ₂	45	0.1	17	48	0.1	17.8	第1絶縁体層	6.8	第1絶縁体層	6.8	356	17.4	あり	116	120				
4	SiO ₂	50	0.1	15.5	48	0.1	17.8	第1絶縁体層	5.3	第1絶縁体層	5.3	372	16.5	あり	117	118				
5	SiO ₂	65	0.1	11.3	48	0.1	17.8	第1絶縁体層	1.1	第1絶縁体層	1.1	381	14.5	あり	118	118				
6	SiO ₂	70	0.1	9.2	48	0.1	17.8	第1絶縁体層	1	第1絶縁体層	1	366	13.8	あり	117	119				
7	Al ₂ O ₃	50	0.1	16.8	32	0.1	15.7	第1絶縁体層	6.6	第1絶縁体層	6.6	368	17.3	あり	116	122				
8	AlN	50	0.1	15.7	32	0.1	15.7	第1絶縁体層	5.5	第1絶縁体層	5.5	352	17.2	あり	119	125				
*9	SiO ₂	50	0.1	15.5	—	—	—	第1絶縁体層	5.3	第1絶縁体層	5.3	250	15.5	なし	121	502	第1絶縁体層のみ			
*10	SiO ₂	50	0.1	15.5	48	0.1	17.8	第2絶縁体層	7.6	第2絶縁体層	7.6	340	16.5	あり	117	220				

*印は本発明の範囲外の材料を示す

*印は本発明の範囲外の試料を示す。

【0040】表1の結果から明らかなように、本発明に基づき、配線基板の表層部にプリプレグからなる絶縁層と、コンデンサ素子を内蔵する内層部を無機フィラーと熱硬化性樹脂との混合物からなる絶縁層(CPC)によって形成した本発明の配線基板は、基板の機械的強度が300MPa以上と高く、しかもフリップチップ実装が可能であった。また、コンデンサ素子によるインダクタンスの変化についても、室温での初期特性と熱衝撃試験後においても変化がなく、信頼性の高いものであった。

【0041】

【発明の効果】 上述した通り、本発明によれば、コンデンサ素子などの電気素子を内蔵した配線基板において、半導体素子などを実装する表層部の絶縁層に高強度のプリプレグを用いて、また、電気素子を内蔵する内層の絶縁層に無機フィラーと熱硬化性樹脂との混合物からなる絶縁層を用いることによって、配線基板の表層部に

半導体素子をフリップチップ実装すると同時に、内層の絶縁層にコンデンサ素子を内蔵した、低インダクタンスの多層配線基板を作製することができる。

【図面の簡単な説明】

【図1】本発明の電気素子内蔵配線基板の概略断面図である。

【図2】本発明で用いられるコンデンサ素子を説明するためのものであって、(a)は、概略斜視図、(b)は正極用内部電極のパターン図、(c)は負極用内部電極パターン図である。

【図3】本発明の配線基板における(a)第1の導体層のパターン図と、(b)第2の導体層のパターン図である。

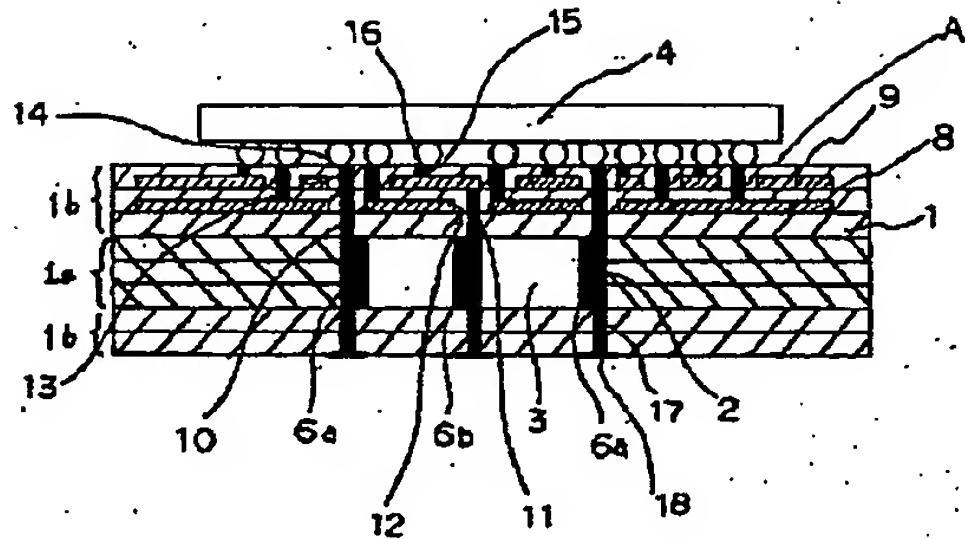
【図4】本発明の電気素子内蔵配線基板を製造するために工程図である。

【符号の説明】

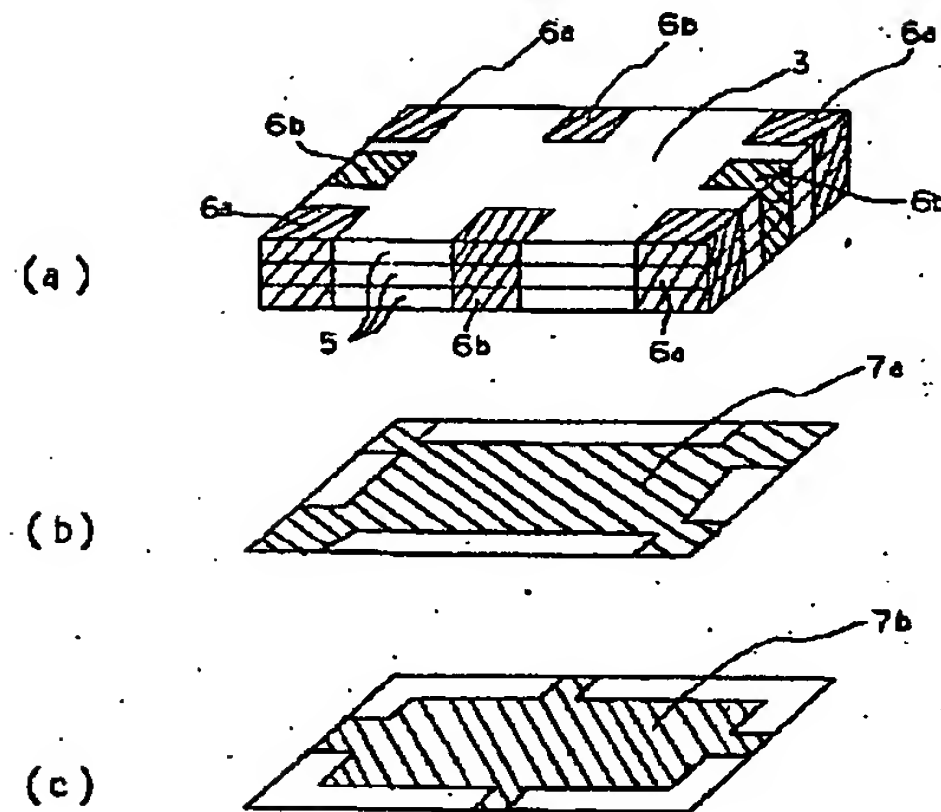
- A 配線基板
 1 絶縁基板
 1a 第1の絶縁層
 1b 第2の絶縁層
 2 キャビティ
 3 コンデンサ素子
 4 半導体素子
 5 セラミック誘電体層

- 6a 正電極
 6b 負電極
 7a 正極用内部電極
 7b 負極用内部電極
 8 第1の導体層
 9 第2の導体層
 10、11、17 ピアホール導体

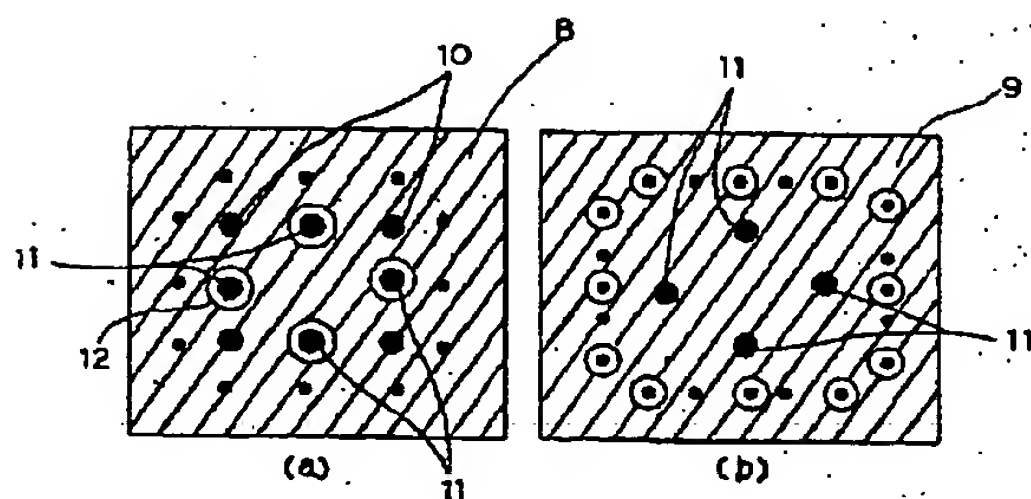
【図1】



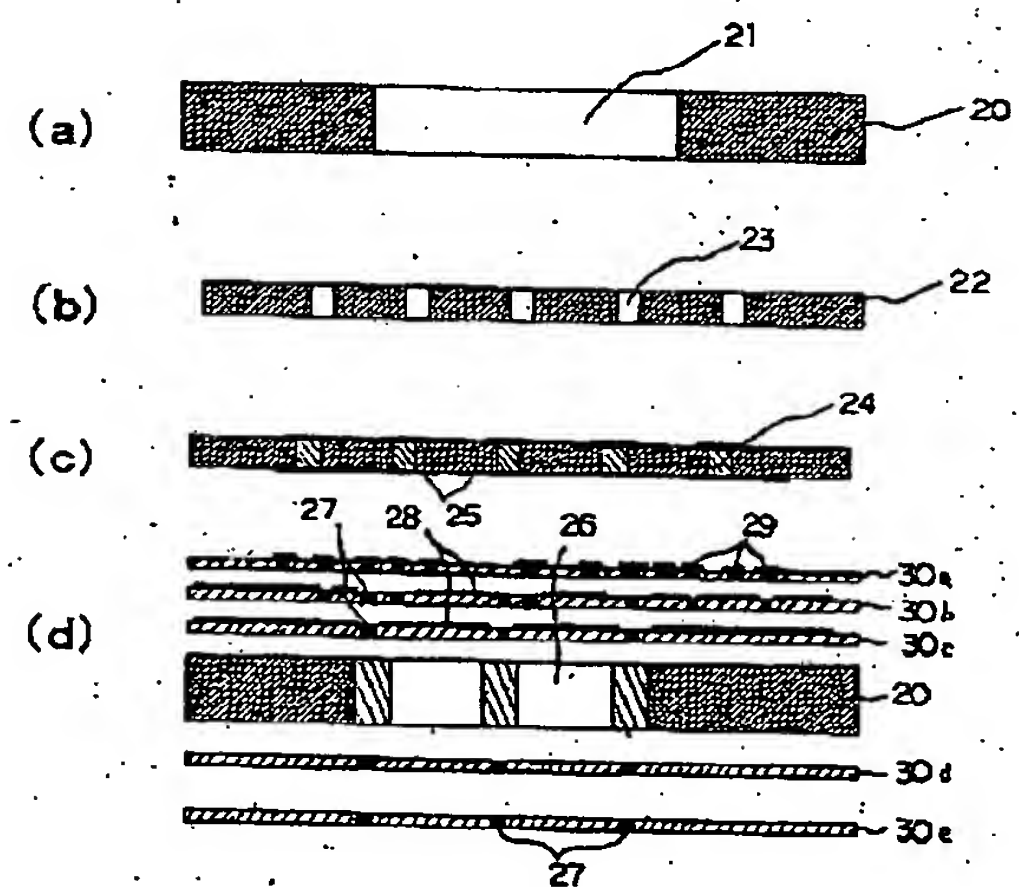
【図2】



【図3】



【図4】



フロントページの続き

Fターム(参考) 5E346 AA02 AA12 AA15 AA25 AA29
AA35 AA42 BB11 CC02 CC05
CC09 CC32 CC42 CC43 DD02
DD12 EE09 EE13 FF18 FF27
GG02 GG15 HH05 HH07 HH22
HH24 HH31